

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-083980

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

G01R 29/02

G01R 23/16

(21)Application number : 05-233365

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 20.09.1993

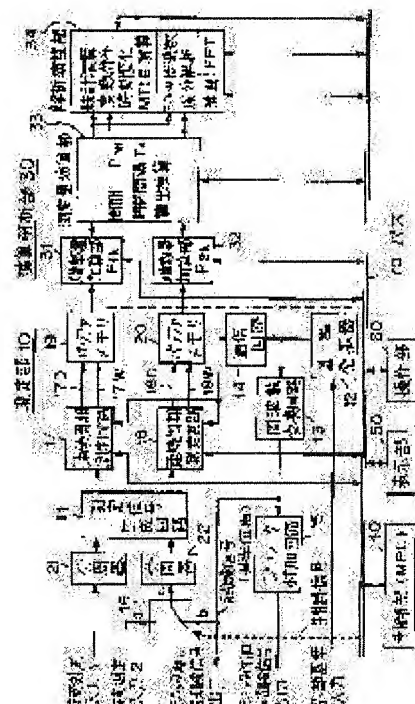
(72)Inventor : UJIE HITOSHI

(54) JITTER/WANDER ANALYZER

(57)Abstract:

PURPOSE: To provide a jitter/wander analyzer which can accurately, efficiently measure and analyze a jitter, a wander reduced in its frequency.

CONSTITUTION: A measuring unit 10 has a measurement signal generator 11, a reference oscillator 12, a frequency converter 13, a multiplier 14, a jitter adding circuit 15, a switching circuit 16, first and second continuous period measuring circuits 17, 18, first and second buffer memories 19, 20, and first and second frequency dividers 21, 22. The circuits 17, 18 continuously measure a period of a signal to be measured. The variations in data of signal periods undergo fast Fourier transform in an arithmetic analyzer 30 to analyze a jitter and analyzes a relative jitter from time interval measured value of the two signals to be measured. On the other hand, frequencies of the signals to be measured are suitably divided by the dividers 21, 22 to analyze its low frequency jitter, and a wander is analyzed by simultaneously calculating MTIE (maximum time interval error) and long frequency deviations at a plurality of observation times.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-83980

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.⁶

G 0 1 R 29/02
23/16

識別記号

L

庁内整理番号

A 8803-2G

F I

技術表示箇所

審査請求 未請求 請求項の数8 OL (全 21 頁)

(21) 出願番号 特願平5-233365

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 氏家 仁

宮城県仙台市青葉区上愛子字松原48番2

株式会社アドバンテスト仙台研究所内

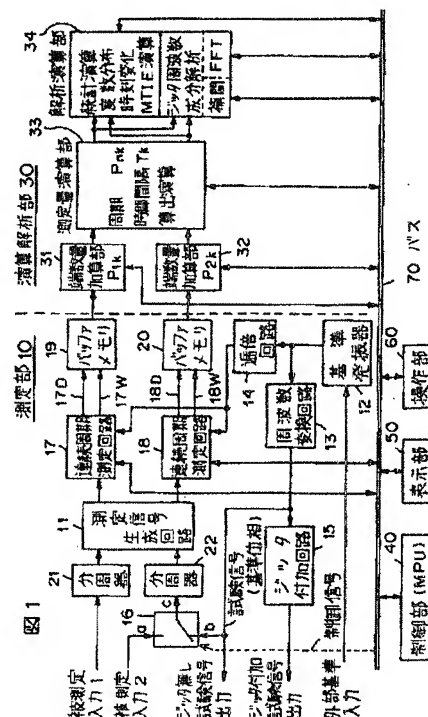
(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 ジッタ／ワンダ解析装置

(57) 【要約】

【目的】 低周波数化したジッタやワンダを高精度に、効率よく測定及び解析することができるジッタ／ワンダ解析装置を提供する。

【構成】 測定信号生成回路11と、基準発振器12と、周波数変換回路13と、通倍回路14と、ジッタ付加回路15と、切り替え回路16と、第1及び第2の連続周期測定回路17及び18と、第1及び第2のバッファメモリ19及び20と、第1及び第2の分周器21、22とから測定部10を構成する。連続周期測定回路17、18で被測定信号の周期を連続的に測定し、演算解析部でそれらの周期データの変動を高速フーリエ変換してジッタを解析し、また、2つの被測定信号の時間間隔測定値から相対的なジッタを解析する。一方、被測定信号の周波数を分周器21、22により適当に分周して低周波ジッタを解析し、また、ワンダは複数の観測時間におけるMTIEや長期周波数偏差を同時に算出して解析する。



【特許請求の範囲】

【請求項 1】 パルス状の被測定信号の一方のエッジが与えられ、該エッジの周期を連続的に測定する第 1 の連続周期測定回路と、

パルス状の被測定信号の一方のエッジ又は装置内部で作られた基準位相の所定の周波数の試験信号の一方のエッジが与えられ、該エッジの周期を連続的に測定する第 2 の連続周期測定回路と、

前記第 1 及び第 2 の連続周期測定回路から出力される測定周期データを記憶するための第 1 及び第 2 のメモリと、

前記第 1 及び第 2 のメモリに記憶された測定周期データに基づいて、前記被測定信号の少なくとも周期、時間間隔を含む時間／周波数の諸量を算出する測定量演算手段と、

算出された被測定信号の時間／周波数の諸量の解析を行う解析手段と、

前記第 1 及び第 2 の連続周期測定回路に入力される被測定信号をそれぞれ選択的に分周する第 1 及び第 2 の分周手段とを具備することを特徴とするジッタ／ワンダ解析装置。

【請求項 2】 前記被測定信号の時間／周波数の諸量の解析を行う解析手段は、前記測定量演算手段で算出された測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から被測定信号のジッタ周波数スペクトラムを求める手段を含むことを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【請求項 3】 前記第 1 及び第 2 の連続周期測定回路で 2 つの被測定信号の周期を同時に、かつ連続的に測定し、前記解析手段により、前記測定量演算手段で算出された各々の測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から各々の被測定信号のジッタ周波数スペクトラムを同時に求めることを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【請求項 4】 前記第 1 及び第 2 の連続周期測定回路で 2 つの被測定信号の周期を同時に、かつ連続的に測定し、前記測定量演算手段で各々の周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、前記測定量演算手段で算出された時間間隔値の経過時間に対する変化量を高速フーリエ変換して解析した結果から相対的なジッタ周波数スペクトラムを求めることを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【請求項 5】 前記第 1 及び第 2 の分周手段により被測定信号を適当な周波数まで分周し、その分周周期を前記第 1 及び第 2 の連続周期測定回路で測定することによって全体の測定時間を長くし、前記解析手段により、前記測定量演算手段で算出された測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から被測定信号の比較的低いジッタ周波数スペクトラムを求めることを特徴とする請求項 1 に記載のジッタ／ワンダ解析装

置。

【請求項 6】 前記第 1 及び第 2 の分周手段により被測定信号と前記基準位相の所定の周波数の試験信号とをそれらの周波数が一致する適当な周波数までそれぞれ分周し、各々の分周信号の周期を前記第 1 及び第 2 の連続周期測定回路でそれぞれ測定し、前記測定量演算手段で各々の分周周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、前記測定量演算手段で算出された前記両信号間の時間間隔値よりその最大値と最小値をそれぞれ算出するとともに、それらから複数の観測時間における MTIE や長期周波数偏差を同時に算出し、長期的位相変動であるワンダを効率よく解析できるようにしたことを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【請求項 7】 前記基準位相の所定の周波数の試験信号にジッタを付加して、このジッタ付加試験信号を外へ出力するジッタ付加手段をさらに含み、該ジッタ付加手段からユーザが設定できる任意の波形や周波数のジッタ付加試験信号を外部の被試験装置に出力して該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のジッタ抑圧効果やジッタ耐力を解析できるようにしたことを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【請求項 8】 前記基準位相の所定の周波数の試験信号を外へ出力するための端子を含み、該端子よりこのジッタのない純粋な試験信号を外部の被試験装置に出力して該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のみで発生するジッタを解析できるようにしたことを特徴とする請求項 1 に記載のジッタ／ワンダ解析装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般的には、パルス状の被測定信号のパルス幅の変動（ゆれ）、いわゆるジッタを解析するジッタ解析装置と、MTIE (MAXIMUM TIME INTERVAL ERROR) による長期的位相変動であるワンダを解析するワンダ解析装置との両機能を備えたジッタ／ワンダ解析装置に関し、特に、パルス状の被測定信号における時間／周波数領域の諸量、例えば周期、時間間隔などを連続的に測定し、その測定量からジッタの振幅と周波数成分、及び MTIE によるワンダを高精度に、効率よく解析することができるジッタ／ワンダ解析装置に関するものである。

【0002】

【従来の技術】ISDN や SONET / SDH 等のアーキテクチャで代表されるデジタル通信ネットワークでは、高品質で大容量の高速伝送実現を妨げる主たる要因として、ジッタやワンダが考えられる。ジッタは、ITU / TS (旧 CCITT) の勧告などで、その振幅量と周波数成分が規定され、同じくワンダは観測時間に対す

るMTIEの最大値が規定されている。

【0003】一般に、伝送通信システムでは受信クロックの再生に比較的ゲインの低いPLL（フェーズロックループ）が用いられている。このため、高周波成分のジッタはPLLによってある程度抑圧されるが、PLLで除去しきれない低周波成分のジッタやワンダが実際の運用上問題になる。さらに、今後の社会基盤として重要なSONET/SDHでは、ネットワーク・インターフェースにおける同期維持のために、伝送フレームの先頭部分にあるポイントを挿抜する機能を有し、また、ATM（非同期転送モード）では、タイムスタンプによって接続元の基準周波数情報を接続先へ伝達し、接続元の基準周波数を接続先で再現する機能を有するが、これらの新しい同期技術はまた、新しい更なる低周波ジッタ（1μHz～10Hz）並びにワンダという問題を生み、ジッタの低周波化が懸念されている。

【0004】

【発明が解決しようとする課題】従来よりデジタル・トランスミッション・アナライザはパルス状の被測定信号のジッタを解析できるものとして知られている。このデジタル・トランスミッション・アナライザは伝送エラーやジッタを測定する試験装置であり、主に送信部と受信部とで構成されている。受信部にジッタの測定機能があるが、測定できるのはジッタ振幅や、あるジッタ振幅値を越えたときの発生頻度の測定が主であり、周波数成分解析機能はないと言える。何故ならば、このデジタル・トランスミッション・アナライザでジッタの周波数成分解析を行う場合には、送信部で出力信号のジッタ周波数を設定し、受信部でそのときのジッタ振幅を測定するというやり方以外に方法がなく、従って、低周波から高周波までの連続的なジッタ周波数成分解析を行うことはできないからである。また、ジッタ周波数の設定領域も下限が10Hz～100Hz程度で低周波ジッタ解析には不十分であり、ワンダに関しては測定できない。

【0005】また、従来公知のSONET/SDHアナライザは、一般的に、ファンクション試験が主であるが、一部の機種にジッタ/ワンダ解析が可能なものがある。この機種のもは、上記デジタル・トランスミッション・アナライザと同様に、送信部と受信部に分かれて構成され、送信部でジッタ周波数と振幅を設定し、受信部でジッタ振幅を測定するものであるが、ジッタ周波数設定領域の下限が1Hzと低く、従って、ジッタ解析も1Hzまでは可能であるが、1Hzではまだ不十分である。また、100m秒（0.1秒）から100秒までの観測期間におけるワンダ測定（MTIE）機能もある。しかしながら、この観測期間はITU-TSの観測期間勧告の範囲の極く一部に過ぎず、極めて不十分である。

【0006】現在、ITU-TS勧告で明らかにされているMTIEの観測期間は50m秒～10⁹秒の範囲で

あるが、50m秒～500秒の範囲と500秒～10⁹秒の範囲の2段階に分けてある。その内50m秒から10⁷秒までの範囲が観測期間の現実性からワンダとして重要視される（G.811勧告）。よって、上記0.1秒から100秒までの観測期間ではワンダを高精度に測定することは不可能である。

【0007】この発明の目的は、低周波数化したジッタを高精度に測定及び解析することができ、かつワンダについてもITU-TS勧告のMTIEによるワンダを高精度に、効率よく測定及び解析することができるジッタ/ワンダ解析装置を提供することにある。

【0008】

【課題を解決するための手段】この発明では、パルス状の被測定信号の一方のエッジが与えられ、該エッジの周期を連続的に測定する第1の連続周期測定回路と、パルス状の被測定信号の一方のエッジ又は装置内部で作られた基準位相の所定の周波数の試験信号の一方のエッジが与えられ、該エッジの周期を連続的に測定する第2の連続周期測定回路と、前記第1及び第2の連続周期測定回路から出力される測定周期データを記憶するための第1及び第2のメモリと、前記第1及び第2のメモリに記憶された測定周期データに基づいて、前記被測定信号の少なくとも周期、時間間隔を含む時間/周波数の諸量を算出する測定量演算手段と、算出された被測定信号の時間/周波数の諸量の解析を行う解析手段と、前記第1及び第2の連続周期測定回路に入力される被測定信号をそれぞれ選択的に分周する第1及び第2の分周手段とを設け、前記第1及び第2の連続周期測定回路で2つの被測定信号の周期を同時に、かつ連続的に測定することを可能にし、前記解析手段により、前記測定量演算手段で算出された各々の測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から各々の被測定信号のジッタ周波数スペクトラムを同時に求めることができるようにしたものである。

【0009】また、前記測定量演算手段で各々の周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、前記測定量演算手段で算出された時間間隔値の経過時間に対する変化量を高速フーリエ変換して解析した結果から相対的なジッタ周波数スペクトラムを求めることができるようにしたものである。また、前記第1及び第2の分周手段により被測定信号を適当な周波数まで分周し、その分周周期を前記第1及び第2の連続周期測定回路で測定することによって全体の測定時間を長くし、前記解析手段により、前記測定量演算手段で算出された測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から被測定信号の比較的低いジッタ周波数スペクトラムを求めることができるようにしたものである。

【0010】また、前記第1及び第2の分周手段により被測定信号と前記基準位相の所定の周波数の試験信号と

をそれらの周波数が一致する適当な周波数までそれぞれ分周し、各々の分周信号の周期を前記第 1 及び第 2 の連続周期測定回路でそれぞれ測定し、前記測定量演算手段で各々の分周周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、前記測定量演算手段で算出された前記両信号間の時間間隔値よりその最大値と最小値をそれぞれ算出するとともに、それらから複数の観測時間における MTIE や長期周波数偏差を同時に算出し、長期的位相変動であるワンドを効率よく解析できるようにしたものである。

【0011】また、前記基準位相の所定の周波数の試験信号にジッタを付加して、このジッタ付加試験信号を外部へ出力するジッタ付加手段を設け、該ジッタ付加手段からユーザが設定できる任意の波形や周波数のジッタ付加試験信号を外部の被試験装置に出力して該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のジッタ抑圧効果やジッタ耐力を解析できるようにしたものである。

【0012】さらに、前記基準位相の所定の周波数の試験信号を外部へ出力するための端子を設け、該端子よりこのジッタのない純粋な試験信号を外部の被試験装置に出力して該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のみで発生するジッタを解析できるようにしたものである。

【0013】

【作用】上記この発明の構成によれば、前記解析手段により、前記測定量演算手段で算出された測定値の経過時間に対する変化量を高速フーリエ変換して解析した結果から被測定信号のジッタ周波数スペクトラムを求めることができるから、低周波から高周波までの連続的なジッタ周波数成分解析を高精度に行うことができる。また、分周手段で被測定信号を適当な周波数まで分周することにより、低周波ジッタの解析も十分に行え、さらに、ワンドに関しても ITU-TS で勧告している MTIE によるワンドを重要視されている 50m 秒から 10^7 秒までの観測期間にわたって高精度に、効率よく測定することができる。

【0014】

【実施例】以下、この発明の実施例について図面を参照

分周比	測定値取得間隔	全測定時間
1	488 ns	488 ms
2	977 ns	977 ms
4	1.95 μ s	1.95 s
8	3.91 μ s	3.91 s
16	7.81 μ s	7.81 s
32	15.63 μ s	15.63 s

となり、長周期ジッタの解析が可能になる。

【0017】また、本解析装置は ITU-TS で勧告している MTIE によるワンドを解析することができる。この場合、同勧告書内のワンド測定例と同じく、被測定

して詳細に説明する。図 1 はこの発明によるジッタ／ワンド解析装置の一実施例の全体構成を示すブロック図である。本実施例のジッタ／ワンド解析装置は、パルス状の被測定信号における時間／周波数領域の諸量、例えば周期、時間間隔などを連続的に高精度に測定することができるとともに、データ取得時の時刻を明らかにして、これら諸量の統計演算、度数分布、経過時間に対する変化、MTIE 演算、ジッタ周波数成分をも精度良く解析できるものであり、測定部 10 と、演算解析部 30 と、制御部 40 と、表示部 50 と、操作部 60 とに大別され、制御部 40、表示部 50 及び操作部 60 はバス 70 を介して測定部 10 及び演算解析部 30 と相互に接続されている。

【0015】測定部 10 は測定信号生成回路 11 と、基準発振器 12 と、周波数変換回路 13 と、逓倍回路 14 と、ジッタ付加回路 15 と、切り替え回路 16 と、第 1 及び第 2 の連続周期測定回路 17 及び 18 と、第 1 及び第 2 のバッファメモリ 19 及び 20 と、第 1 及び第 2 の分周器 21、22 とから構成されている。本実施例のジッタ／ワンド解析装置は連続周期測定回路の周期測定値を用いてジッタの解析を行う。本解析装置には 2 つの連続周期測定回路 17、18 が設けられているから、2 つの被測定信号を入力して各々の信号に対してのジッタ解析が行える。被測定信号は、連続周期測定回路が可能な限り、周期を空き時間無しで連続的に測定する。また、2 つの被測定信号を入力して、その時間間隔測定値から、一方の入力に対する相対的なジッタを解析することもできる。この場合、時間間隔測定値は、2 つの連続周期測定回路 17、18 の周期測定値の積算である経過時間から両者の時間間隔を導出し、その値の解析を行う。

【0016】一方、低周波ジッタの解析には長い測定時間が必要であることから、本解析装置では被測定信号の周波数を内部で分周器 21、22 により適当に分周し、個々の測定値取得間隔を長くして全体の測定時間を長くすることで、低周波ジッタを解析する。例えば、被測定信号が 2048 KHz、バッファメモリ 19、20 の容量が 1Mワードであるならば、その分周比と測定時間は、

信号と内部のジッタ付加前の試験信号を共に分周器 21、22 で 4 KHz に分周し、両者の連続周期が測定される。その周期測定値はいったんバッファメモリ 19、20 に記憶されるが、演算解析部 30 は、可能な限り逐

次、周期測定値をバッファメモリ 19、20から呼び出し、計数クロックによる計数値と端数時間測定値を加算して時間間隔値を算出し、ユーザが設定する観測時間内の時間間隔測定値の最大値と最小値を求めて、メモリ（データ数が比較的少ないので、CPUのシステムメモリを使用）に記憶しておき、全ての測定値取得が終了した後、各観測時間に対するMTIEを算出し、データとグラフ表示する。

【0018】このとき、測定値取得間隔時間は250 μ sであることから、1Mワードのバッファメモリ容量では観測時間の最大が250sまでしか設定できないので、この問題を解決するために、バッファメモリへの書き込みは、最終アドレスにデータを書き込んだ後は、先頭アドレスに戻るように、アドレスカウンタを巡回させる。測定値取得間隔時間が250 μ sと比較的遅いため、CPUは測定値を溜めることなく逐次データを読み込むことができるので、アドレスの巡回が可能である。

【0019】さらに、本解析装置では、装置内部でジッタを含んだ試験信号を発生することができ、このジッタを付加した試験信号を被試験装置である、例えばネットワーク・クロック供給装置などへ従属基準信号として入力し、その従属同期出力を本解析装置への被測定信号として入力して、ジッタやMTIEを解析して、被試験装置の不要ジッタ出力のチェック、ジッタ抑圧効果、ジッタ耐力性能等を確認することができる。

【0020】測定信号生成回路11は第1及び第2の分周器21及び22を介してそれぞれ送られてくる2つの入力（入力1、入力2）を独立に受信できるように構成されており、パルス信号のようなパルス状の第1の被測定信号（被測定入力1）が第1の分周器21を介して測定信号生成回路11に入力1として供給され、また、パルス信号のようなパルス状の第2の被測定信号（被測定入力2）又は周波数変換回路13からのジッタ付加前の基準位相の試験信号が切り替え回路16で選択されて測定信号生成回路11に入力2として供給される。この測定信号生成回路11は2系統の被測定信号のエッジ入力シーケンスを決定する。なお、後述するように、測定信号生成回路11は周期に関しては2系統の別個の被測定信号の同時測定が可能ないように構成されている。

【0021】切り替え回路16は被測定信号を2系統入力して各々のジッタを解析したり、相対的なジッタを解析したい場合、その可動接点cが第1の固定接点aに接続され、被測定入力2を第2の分周器22を介して測定信号生成回路11へ入力2として供給する。これに対し、ワンダ測定時には可動接点cが第2の固定接点bに接続され、基準発振器12から周波数変換回路13を介して供給される基準位相の試験信号が第2の分周器22を介して測定信号生成回路11へ入力2として供給される。切り替え回路16は制御部40からの指令（制御信号）に従って、外部の被測定信号（被測定入力2）或い

は内部の基準位相の試験信号のいずれかを選択して、第2の分周器22に送る。切り替え回路16はリレー等の機械的スイッチであっても、ゲートによる論理的スイッチであってもよい。

【0022】第1の分周器21は比較的高い周波数のジッタを解析する場合には、被測定入力1を分周せずにそのまま測定信号生成回路11へ入力する。一方、低周波数ジッタやワンダを解析する場合には、被測定入力1を分周して測定信号生成回路11へ入力する。第2の分周器22は切り替え回路16を通じて供給されるジッタを付加する前の基準位相の試験信号を4KHzに分周して測定信号生成回路11へ入力する。勿論、第1の分周器21と同様に、切り替え回路16が被測定入力2側に接続されているときには、この被測定入力2を必要に応じて分周して測定信号生成回路11へ入力する。上記第1及び第2の分周器21、22は測定条件に応じて分周比が切り替えられるように、プログラマブル分周器で構成する。

【0023】基準発振器12は本解析装置のタイムベースであり、周波数が極めて安定な発振器、例えば恒温槽入りの水晶発振器などを使用する。基準発振器12には必要に応じて外部基準信号、例えばUTC（協定世界時）に同期した外部基準周波数信号を供給し、発振周波数を同期させる。基準発振器12の出力信号は周波数変換回路13に供給され、その周波数が試験信号の周波数に変換される。同時に、基準発振器12の出力信号は通信回路14にも送られ、その周波数が通信されて連続周期測定回路17、18のための計数クロックが作られ、これら連続周期測定回路17、18に供給される。周波数変換回路13からの試験信号はワンダ測定時の基準位相となるもので、上述したように切り替え回路16及び第2の分周器22を介して測定信号生成回路11へ入力2として供給される。また、周波数変換回路13からの試験信号は各種の試験、測定等に用いるために外部へジッタのない純粋の試験信号として出力されるとともに、ジッタ付加回路15にも供給され、ジッタが付加された試験信号が各種の試験、測定に用いるために外部へ出力される。

【0024】ジッタ付加回路15は、例えば各種の装置や伝送路等で発生するジッタ、或いはITU-TSで許容されている範囲内のジッタを人工的に発生させるもので、ユーザが設定できる任意の波形や周波数のジッタを周波数変換回路13からの基準位相の試験信号に付加したジッタ付加試験信号を出力する。この場合、ジッタ付加回路15は周波数変換回路13からの基準位相の試験信号をデータ入力及び外部クロック入力としてジッタ付加試験信号を生成する。このジッタ付加回路15からのジッタ付加試験信号を、例えばジッタ除去回路等の被試験装置、或いは交換機や伝送装置内のネットワーククロック供給装置等の被試験装置に入力し、それらの出力信

号を被測定信号として本解析装置に入力することによって、被試験装置のジッタ抑圧効果やジッタ耐力の解析、不要ジッタ出力のチェック等を行うことができる。

【0025】図2は本解析装置から試験信号（ジッタ無し及びジッタ付加）を交換機や伝送装置内のネットワーク・クロック供給装置（被試験装置）に供給し、この被試験装置からの出力信号を被測定信号として本解析装置に入力することによって、被試験装置のジッタ抑圧効果やジッタ耐力の解析、不要ジッタ出力のチェック等を行う場合の回路構成の一例を示す。ネットワーク・クロック供給装置の出力クロック信号の周波数は、一般的に、1544 KHz（北米、日本、一部の東南アジアの国）又は2048 KHz（これらの国以外の国々）のいずれかであるので、これを被測定入力1として第1の分周器21を介して測定信号生成回路11に入力する。分周周波数を4 KHzと決定したのは、ITU-TSの勧告書に例として4 KHzによるワンダ測定系統図が掲載されているためであり、他の分周周波数を用いてもよいことは勿論である。なお、比較的高い周波数のジッタを解析する場合には、出力クロック信号を分周せずにそのまま測定信号生成回路11に入力する。

【0026】上記構成において、切り替え回路16が被測定入力2側に接続され、被測定入力1及び2としてパルス信号がそれぞれ第1及び第2の分周器21及び22を介して測定信号生成回路11に供給されると、第1及び第2の連続周期測定回路17及び18には、測定信号生成回路11によって決定された被測定入力1及び2のパルス信号の立ち上がりエッジ（正のエッジ）又は立ち下がりエッジ（負のエッジ）のいずれか一方のエッジ信号が連続的に供給され、この供給された被測定エッジ信号のエッジの発生周期が連続して測定される。測定結果（周期データ）はデータライン17D及び18Dを通じて、また、書き込みパルスは書き込みライン17W及び18Wを通じて、第1及び第2のバッファメモリ19及び20にそれぞれ送られる。これらバッファメモリ19、20はデータライン17D及び18Dを通じて送られてくる測定データを書き込みライン17W及び18Wを通じて供給される書き込みパルスによって漏れなく記憶する。記憶されるデータ数はユーザが操作部60を通じて予め設定する。ここでの測定結果を用いて次段の演算解析部30が時間/周波数の諸量を算出する。

【0027】第1、第2の連続周期測定回路17、18は同じ構成のものでよく、周期の測定は、代表例として第1の連続周期測定回路17に被測定入力1の正のエッジが供給される場合について説明すると、図3に示すようにして行われる。例えば入力1の時刻T11における正のエッジE11と次の時刻T12における正のエッジE12間の時間である1つの被測定周期P1kは、図3に示すように、周期P1kの始端であるエッジE11から2つ目の計数クロック迄の時間t1と、周期P1kの後端であるエッジ

E12から2つ目の計数クロック迄の時間t2と、時間t1の終りから時間t2の終りまでに含まれる計数クロックの数Nにこのクロックの周期T0を掛け算した時間NT0とを求めれば、 $P1k + t2 = NT0 + t1$ の関係が成立することより、

$$P1k = NT0 + t1 - t2$$

として算出することができる。

【0028】ここで、エッジから2つ目の計数クロックを選択したのは、1つ目の計数クロックを選択した場合にはエッジと1つ目の計数クロックとが極めて接近し、高精度のt1、t2の時間測定が行えないことがあり得るためであり、時間t1、t2の高精度の測定が行えれば、エッジの直後の1つ目の計数クロックを選択してもよいことは言うまでもない。

【0029】第1、第2の連続周期測定回路17、18は、上述のようにして算出したデータのうち、時間t1の終りから時間t2の終りまでに含まれる計数クロックの数Np1k、Np2kにこの計数クロックの周期T0を掛け算したデータ（時間に相当する）Np1k T0、Np2k T0はデジタル値であるのでそのまま出力し、一方、端数時間t1、t2についてはその差（t1 - t2）

（端数量と称す）を電圧に変換し、さらにアナログ→デジタル変換器（A/D変換器）でこれをデジタル値にした $\Delta Vp1k$ 、 $\Delta Vp2k$ をデータライン17D、18Dを通じて第1、第2のバッファメモリ19、20に出力する。なお、計数値Np1k、Np2kのkはk=1~mであり、mはユーザが設定する測定回数である。また、この連続周期の測定結果の積算値がデータ取得時の時刻となる。従って、データ取得時の時刻も漏れなく測定されることになる。

【0030】また、相対ジッタやワンダを測定する場合には、2つの連続周期測定回路17及び18の周期データ取得時刻の差から時間間隔値を算出する必要があるため、両者の測定開始時刻を合わせる必要がある。測定信号生成回路11が例えば4 KHzの被測定信号の正のエッジを入力1として第1の連続周期測定回路17に供給し、入力2としてジッタ無しの4 KHzの試験信号の正のエッジを第2の連続周期測定回路18に入力する場合、図4に示すように、測定が開始された後、第2の連続周期測定回路18は、測定開始直後だけ、被測定信号の立ち上がりから試験信号の立ち上りを測定するように、測定信号生成回路11でシーケンスが組まれている。即ち、入力1の被測定信号の立ち上がりから測定が開始され、第2の連続周期測定回路18はこの測定開始時刻から時刻T21における試験信号の最初の立ち上がりまでの時間P21を測定し、初期時刻オフセット値（P21）として記憶して測定開始時刻を合わせる。

【0031】上述したように、第1及び第2のバッファメモリ19及び20は第1及び第2の連続周期測定回路17及び18で測定された周期データを漏れなく記憶す

る。これらバッファメモリ 19、20 に記憶されるデータ数はユーザが操作部 60 を通じて予め設定する。バッファメモリ 19、20 に記憶されたデータは、被測定信号における時間／周波数領域の諸量、例えば周期、時間間隔などを測定するために、また、これらの諸量の統計演算、度数分布、経過時刻に対する変化、MTIE 演算、ジッタ周波数成分を解析するために、次段の演算解析部 30 で使用される。

【0032】演算解析部 30 は、本実施例では、第 1 及び第 2 の端数量加算部 31 及び 32 と、測定量演算部 33 と、解析演算部 34 とから構成されている。第 1、第 2 の端数量加算部 31、32 は計数クロックで測りきれない端数量時間分電圧のデジタル値 (ΔV_{p1k} 、 ΔV_{p2k}) を時間領域のデータに換算し、上述した計算式に基づいて、この換算データに、計数クロックによる周期データ ($N_{p1k} T_0$ 、 $N_{p2k} T_0$) を加算して、最終的な周期データ (P_{1k} 、 P_{2k}) を算出する。即ち、

$$P_{1k} = N_{p1k} T_0 + \Delta V_{p1k}$$

$$P_{2k} = N_{p2k} T_0 + \Delta V_{p2k}$$

一例として、端数量時間 $t_1 - t_2$ を ΔT_{ns} 、 N_{p1k} 及び N_{p2k} を N 、 ΔV_{p1k} 及び ΔV_{p2k} を ΔV と置き、連続周期測定回路 17 及び 18 の A/D 変換器での端数量時間分電圧のデジタルビット数を 12 ビットとし、計数クロックの周期 $T_0 = 10ns$ とした場合、 $\Delta T = -20$ 、 -10 、 0 、 $+10$ 、 $+20ns$ のとき、後述する連続周期測定回路 17 及び 18 のサンプルホールド回路の電圧が -2048 、 -1024 、 0 、 $+1024$ 、 $+2048mV$ 、また、A/D 変換器の出力 (ΔV) が 0 、 1024 、 2048 、 3072 、 4096 カウントであったとすると、求める周期 P ($=P_{1k}=P_{2k}$) は

$$P = NT_0 + \Delta T$$

$$= NT_0 + (\Delta V - 2048) T_0 / 1024$$

$$= T_0 (N + \Delta V - 2048) / 1024$$

仮に $T_0 = 1000$ とすると、

$$P = 1000 (N - 2 + \Delta V / 1024)$$

となり、A/D 変換器が 1 ビットの精度を持てばほぼ $10ps$ までの測定が可能となる。なお、 $10ns = 1024mV$ とするには、各端数量時間測定回路の積分器の G 、 R 、又は電圧を適度に設定すればよい。

【0033】測定量演算部 33 は端数量加算部 31、32 で得られた最終的な周期データを用いて被測定信号の周期 P_{nk} 、時間間隔 T_k や測定データの取得時刻の算出演算を行う。ここで、 n は入力チャンネル番号 (被測定入力 1 が供給されるチャンネルが入力チャンネル 1、被測定入力 2 又は試験信号が供給されるチャンネルが入力チャンネル 2)、 $k = 1 \sim m$ で、 m はユーザが設定する測定回数を示す。以下に、被測定信号の周期 P_{nk} 及び時間間隔 T_k を算出する方法について説明する。

【0034】測定信号生成回路 11 の入力チャンネル 1、

入力チャンネル 2 に 2 系統の被測定信号 (被測定入力 1、被測定入力 2 又はジッタ無し試験信号) が供給されたときの周期 P_{nk} は、第 1、第 2 の端数量加算部 31、32 によって、上記計算式に基づいて入力チャンネル 1 の被測定信号 (入力 1) の周期は P_{1k} 、入力チャンネル 2 の被測定信号 (入力 2) の周期は P_{2k} として算出される。これら周期を図 5 に示す。この図 5 から明瞭のように、被測定信号の周期は両入力チャンネルに供給される 2 系統の被測定信号について同時測定が可能である。

【0035】次に、入力チャンネル 1 に供給される被測定信号と入力チャンネル 2 に供給される被測定信号間の時間間隔を測定する場合について説明する。本明細書では同一レート (周波数) の 2 つの信号の特定のエッジ間の差を「時間間隔」と称す。この時間間隔 T_k は、図 6 から明瞭のように、入力 2 の正のエッジ $T_2(k+1)$ (代表例) の時刻から入力 1 の正のエッジ T_1k (代表例) の時刻を減算することによって算出することができる。即ち、

$$T_k = T_2(k+1) - T_1k$$

ここで、 $T_2(k+1) = T_{2k} + P_2(k+1)$ 、 $T_1k = T_1(k-1) + P_{1k}$ であるから入力 1 及び入力 2 の周期 P_{1k} 及び $P_2(k+1)$ と正のエッジ発生時刻 $T_1(k-1)$ 及び T_{2k} より時間間隔 T_k を算出することができる。

【0036】上述のようにして測定量演算部 33 で演算された時間／周波数の諸量、本実施例では周期及び時間間隔は必要に応じて解析演算部 34 において解析される。主な解析方法は図 1 のブロック内に示したように、統計演算、度数分布、時刻変化 (経過時間に対する変化)、MTIE 演算、ジッタ周波数成分解析である。これら解析法について以下に簡単に説明する。

【0037】統計演算解析法は、算出したデータの平均、分散、標本分散、標準偏差、標本標準偏差、最大値、最小値、アラン分散、 $\sqrt{\text{アラン分散}}$ 、正規化、±オフセット、定数乗除算により解析を行うものである。度数分布解析法は、図 7 に示すように、測定量例えば周期 P_k (時間間隔でもよい) を横軸にとり、縦軸にその周期 P_k が得られた数 (頻度) をとり、度数分布を表示して解析を行うものである。

【0038】時刻変化解析法は、図 8 に示すように、横軸に経過時間 t_k をとり、縦軸に測定量例えば周期 P_k をとって、周期 P_k の時間に対する変化状態を表示し、解析を行うものである。次に、MTIE (MAXIMUM TIME INTERVAL ERROR、最大時間間隔エラー) 演算について説明する。

【0039】ワンダ測定において、ユーザが設定する観測時間内の時間間隔値の最大値から最小値を差し引き、それを MTIE とする。ユーザが設定する観測時間範囲は、ITU-TS の勧告と測定時間の現実性から考慮して、本実施例の解析装置では $50ms \sim 10^7$ 秒までの範囲とする。MTIE 算出例を簡単に説明するために、以下の説明では観測時間の設定を、 $50ms$ を除い

て、ディケード単位で段階的に設定するようにしているが、最小ステップ $250\mu s$ で、それ以外のさらに詳細な観測時間の設定も可能である。

【0040】また、設定された観測時間以下の観測時間のMTIEも以下の要領で併せて算出可能であり、1回の測定で異なった観測時間のMTIEを算出してグラフ化できる。

観測時間のユーザ設定値の例： $5 \times 10^{-2}s$ 、 $10^{-1}s$ 、 10^0s 、 $10^{+1}s$ 、 $10^{+2}s$ 、 $10^{+3}s$ 、 $10^{+4}s$ 、 $10^{+5}s$ 、 $10^{+6}s$ 、 $10^{+7}s$

以下に観測時間を最大の $10^{+7}s$ に設定した場合の例を記載する。

- 測定開始後、最も短い観測時間である $5 \times 10^{-2}s$ 経過した時点での、時間間隔値の最大値 $X_{\max}(1)$ と最小値 $X_{\min}(1)$ を検出し、メモリに記憶する。測定は測定はそのまま続行する。
- さらに $5 \times 10^{-2}s$ 経過の後、つまり測定開始から $10^{-1}s$ 経過した時点での時間間隔の最大値 $X_{\max}(2)$ と最小値 $X_{\min}(2)$ を検出し、メモリに記憶する。測定はそのまま続行する。
- さらに $9 \times 10^{-1}s$ 経過の後、つまり測定開始から 10^0s 経過した時点での時間間隔の最大値 $X_{\max}(3)$ と最小値 $X_{\min}(3)$ を検出し、メモリに記憶する。測定はそのまま続行する。
- 以下同じ要領で、設定観測時間の最大値 $10^{+7}s$ が経過するまで、各観測時間における時間間隔値の最大値 $X_{\max}(n)$ と最小値 $X_{\min}(n)$ を検出し、メモリに記憶する。
- その後、各観測時間の最大値 $X_{\max}(n)$ から最小値 $X_{\min}(n)$ を差し引き、MTIEを算出し、図9に示すような観測時間対MTIEのグラフを表示する。

【0041】 $MTIE = X_{\max}(n) - X_{\min}(n)$

- また、このようにして算出したMTIEから、長期周波数偏差 ($\Delta f/f$) を算出する。

$\Delta f/f = MTIE / \text{観測時間}$

ジッタ周波数成分解析法は、測定された周期や時間間隔の経過時間に対する変化量をFFT部（高速フーリエ変換部）で高速フーリエ変換し、ジッタの周波数スペクトラムを導いて解析を行うものである。ただし、本装置で得られた測定量データは一定の時間間隔で測定されたものではないため、補間部において測定量データとその取得時刻データから補間法を用いて一定間隔で測定された場合の測定量データに変換する。

【0042】この補間部における補間法の一例を示すと、演算解析部30の第1、第2の端数加算部31、32で得られた各測定周期データを P_1 、 P_2 、 P_3 ・・・とすると、これら周期データは各測定サイクルごとにそれまでの測定値が加算され、 $P_1 = t_1$ 、 $P_1 + P_2 = t_2$ 、 $P_1 + P_2 + P_3 = t_3$ 、・・・として経過時間メモリ（図示せず）に記憶される。これら t_1 、 t_2 、 t_3 、・・・は測定開始からの時刻を示しており、時刻0のときに周期の測定値 P_1 が得られ、時刻 t_1 のときに周期の測定値 P_2 が得られ、時刻 t_2 のときに周期の測定値 P_3 が得られていることになる。これらから周期 P_k の変化の時間経過を示すと、例えば図10Aに示すように、測定値 P_k は不等時間間隔で得られている。

【0043】これら測定周期データ P_k から、等時間間隔で得られたと見なせる周期データ P_{sk} を補間部で算出する。例えば図10Aにおいて、時刻0から等時間間隔の標本点 S_0 、 S_1 、 S_2 、・・・で周期を測定したとみなせる周期データを、最も利用し易い直線補間法を使って求める。8つの測定周期データ P_k は (t_k 、 P_k) 座標で 1 (0 、 P_1)、2 (t_1 、 P_2)、3 (t_2 、 P_3)、4 (t_3 、 P_4)、・・・8 (t_7 、 P_8) と表わせる。標本点 S_0 の周期は当然 P_1 でよい。標本点 S_1 は次のようにして求める。即ち、図10Bに示す3点 (t_1 、 P_2)、(S_1 、 P_{s1})、(t_2 、 P_3) を通る直線44が $P = At + B$ であるとする、

$$A = (P_2 - P_3) / (t_1 - t_2)$$

$$B = (t_1 P_3 - t_2 P_2) / (t_1 - t_2)$$

となる。このA、Bと S_1 とを直線の式に代入すると、 $P_{s1} = S_1 (P_2 - P_3) / (t_1 - t_2) + (t_1 P_3 - t_2 P_2) / (t_1 - t_2)$

で標本点 S_1 の周期 P_{s1} が求まる。以下、同様にして周期 P_{s2} 、 P_{s3} 、 P_{s4} 、・・・を求める。

【0044】このようにして得られた等時間間隔の周期データ P_{sk} (図10Aの×印のデータ) をFFT部で高速フーリエ変換する。この変換結果の周波数スペクトラムを表示部50の表示器（図示せず）に表示することにより、例えば図10Cに示す表示が得られる。これより周期 P_k の変動（ジッタ）の周波数成分を知ることができる。このとき、周期 P_k の値、又はその平均値を同時に表示したり、上記周波数スペクトラムを P_k に対する比として表示することもできる。さらに、そのジッタの周期に対する百分率を求めることもできる。等時間間隔で得られたと見なせる周期データ P_{sk} の精度を上げるために、スプライン法その他の補間法を用いることもできる。

【0045】次に、本装置の各部をさらに詳細に説明する。測定部10は可能な限り取り落とすことなく連続的にデータを取得し、かつデータ取得時の時刻（経過時間）を正確に知ることができることが望まれる。まず、図11を参照して測定信号生成回路11、切り替え回路16、並びに第1及び第2の分周器21及び22の一具体例について説明する。

【0046】測定信号生成回路11は、第1、第2、第3及び第4の4つのD形フリップフロップF1、F2、F3及びF4と、2つのORゲートG2、G3と、1つの排他的ORゲートG4と、1つのANDゲートG5

と、1つの遅延回路DLとから構成されており、第1の分周器21からの入力1は第1のD形フリップフロップF1のトリガ端子Tに供給され、また、第2の分周器22からの入力2は第3のD形フリップフロップF3のトリガ端子Tに供給される。

【0047】一方、測定を開始させるための外部トリガ入力信号は第4のD形フリップフロップF4のトリガ端子Tに供給され、そのデータ端子Dに与えられている高レベル信号Hがその出力端子Qから第1のD形フリップフロップF1のデータ端子Dに供給される。このD形フリップフロップF1の出力端子Qは第1の連続周期測定回路17及び第2のD形フリップフロップF2のトリガ端子Tにそれぞれ接続されており、そのデータ端子Dに与えられている高レベル信号Hがその出力端子Qから出力される。

【0048】第2のD形フリップフロップF2のデータ端子Dにも高レベル信号Hが与えられており、その出力端子Qは第3のD形フリップフロップF3のデータ端子D及びANDゲートG5の一方の入力に接続されるとともに、遅延回路DLを介して排他的ORゲートG4の一方の入力に接続されている。この排他的ORゲートG4の他方の入力には第3のD形フリップフロップF3の出力端子 \overline{Q} （Qの論理反転）が接続され、この排他的ORゲートG4の出力はANDゲートG5の他方の入力に接続されている。このANDゲートG5の出力は第2の連続周期測定回路18に接続されている。これら遅延回路DL、排他的ORゲートG4及びANDゲートG5はパルス波形を整形するパルス整形機能部として働く。

【0049】第1及び第2の分周器21及び22は同じ構成のものであり、第1の分周器21は1つのプログラマブルデバイダPD1と1つのラッチLT1とから、また、第2の分周器22も1つのプログラマブルデバイダPD2と1つのラッチLT2とからそれぞれ構成され、上述したように測定条件に応じて分周比が切り替えられるようになっている。これら、プログラマブルデバイダPD1、PD2のプリセットデータ端子にはラッチLT1、LT2からユーザによって予め設定されたデータがそれぞれ入力される。

【0050】切り替え回路16は2つのANDゲートAG1、AG2と、1つのインバータINVと、1つのORゲートOG1とから構成された論理的スイッチであるが、リレー等の機械的スイッチを用いることもできる。この切り替え回路16は、制御部40からスイッチ（SW）制御信号（高レベル）が入力されると、周波数変換回路13からの基準位相の試験信号を第2の分周器22に供給し、また、制御部40からスイッチ（SW）制御信号が入力されないときには（或いは低レベルのスイッチ制御信号が入力されると）、被測定入力2を第2の分周器22に供給する。

【0051】上記構成によれば、測定信号生成回路11

の第4のD形フリップフロップF4のトリガ端子Tに外部トリガ信号が入力されることにより測定動作が開始され、また、制御部40から入力されるスイッチ制御信号で切り替え回路16が被測定入力2を供給するか基準位相の試験信号を供給するかを決定し、測定信号生成回路11に入力1、入力2が供給されてその被測定エッジが連続的に発生され、第1、第2の連続周期測定回路17、18へ供給されることは明白であるので、図11中に（1）～（13）で指示した各部の波形を図12に示し、その動作説明を省略するが、図12の波形は、入力1として図示するようなパルス幅 $Wx1$ 、 $Wx2$ 、 $Wx3$ 、・・・の正のパルス信号が第1のD形フリップフロップF1のトリガ端子Tに入力され、入力2として入力1の波形を反転した形式の正のパルス信号が第3のD形フリップフロップF3のトリガ端子Tに入力された場合のものである。

【0052】若干の説明を付加すると、リセットパルス（波形（1）参照）により、第2、第4のD形フリップフロップF2、F4は直接リセットされ、第1のD形フリップフロップF1はORゲートG2を介して、第3のD形フリップフロップF3はORゲートG3を介してそれぞれリセットされ、同時にこのリセットパルスにより第1、第2の連続周期測定回路17、18もリセットされる。また、入力1の立ち上がりエッジにより第1のD形フリップフロップF1の出力Qが反転し、これにより第1のD形フリップフロップF1が作動するが、第1のD形フリップフロップF1の出力Qが反転した後、一定時間経過後に第1の連続周期測定回路17が書き込みパルス（波形（5）参照）を発生してバッファメモリ19へ測定データ（立ち上がりエッジ間の周期 $Pr1$ 、 $Pr2$ 、・・・）を書き込むようになっている。これは第1の連続周期測定回路17が内部処理に要する時間を見込んだためである。図12における時間 $tM1$ がこの内部処理に要する時間を見込んだ時間（書き込みパルス（5）の発生を含む）である。

【0053】第2の連続周期測定回路18の場合も同様であり、入力1のパルス幅 $Wx1$ の後端の立ち下がりエッジと同時刻の入力2（波形（3）参照）の立ち上がりエッジにより第3のD形フリップフロップF3の出力 \overline{Q} が反転し、これより一定時間経過後に第2の連続周期測定回路17が書き込みパルス（波形（12）参照）を発生してバッファメモリ20へ測定データ（立ち下がりエッジ間の周期 $Pf1$ 、 $Pf2$ 、・・・）を書き込むようになっている。図12における時間 $tM2$ がこの内部処理に要する時間を見込んだ時間（書き込みパルス（12）の発生を含む）である。

【0054】これら書き込みパルス（5）及び（12）の発生により第1及び第3のD形フリップフロップF1及びF3はORゲートG2及びG3を通じてリセットされるが、第2のD形フリップフロップF2はリセットパ

ルスが供給されないでその出力Qは高レベルのままである。ここで、第2のD形フリップフロップF2の出力Qは遅延回路DLで時間 t だけ遅延されて排他的ORゲートG4の一方の入力に供給されるため、ANDゲートG5から最初に継続時間 t のパルス(波形(11)参照)が発生される。このパルスの発生により第1、第2の連続周期測定回路17、18の測定開始時刻が一致できる。また、ANDゲートG5から出力される立ち下がりエッジ間の周期 $Pf1$ 、 $Pf2$ 、・・・のうち、最初の周期 $Pf1$ は入力1のパルス幅 $Wx1$ に等しい。このようにして各バッファメモリ19、20に書き込まれたデータ内容(デューティ比が100%に近い場合)を図13に示す。図13において(a)は測定値と入力1のパルス信号との関係を示し、(b)はバッファメモリ19、20の内容を示す。この場合のパルス幅の演算式は次の通りである。

【0055】パルス幅 $Wxn = Wx(n-1) + Pfn + Pr(n-1)$

次に、第1、第2の連続周期測定回路17、18の一具体例について図14を参照して説明する。これら連続周期測定回路17、18としては、例えば特願昭62-25326号に示す技術を基本構成として利用することができる。上述したように、第1、第2の連続周期測定回路17、18の回路構成は実質的に同じものでよく、図3を参照して説明したように、端数時間 $t1$ 、 $t2$ と、時間 $t1$ の終りから時間 $t2$ の終りまでに含まれる計数クロックの数 $Np1k$ 、 $Np2k$ にこの計数クロックの周期 $T0$ を掛け算したデータ $Np1K T0$ 、 $Np2K T0$ とを算出し、この算出したデータのうち、 $Np1K T0$ 、 $Np2K T0$ はそのまま出力し、端数時間 $t1$ 、 $t2$ についてはその差($t1 - t2$)を電圧に変換し、さらにA/D変換器でこれをデジタル値にした $\Delta Vp1K$ 、 $\Delta Vp2K$ を出力できる回路構成であればよく、図14は特願昭62-25326号に示す技術を基本構成とし、上記動作が行えるようにこれを一部変更した第1の連続周期測定回路17の一具体例を示す。勿論、第2の連続周期測定回路18も同様の回路構成のものでよく、また、図14の回路構成に限定されるものではない。

【0056】図14に示す連続周期測定回路17は、第1～第4の4つのJKフリップフロップF11～F14と、1つのD形フリップフロップF15と、第1及び第2の端数時間-電圧変換器TV1及びTV2と、第1～第5の5つのANDゲートAG11～AG15と、第1～第4の4つのORゲートOG11～OG14と、第1及び第2の端数時間-電圧変換器TV1及びTV2の出力値間の減算を行う引き算増幅器SA1と、第1及び第2の端数時間-電圧変換器TV1及びTV2の出力値を引き算増幅器SA1に切り替えて入力することが可能な切り替えスイッチSW11と、クロックを1/Mに分周する1/M分周器FD1と、第1及び第2の2つのワンショットマルチバイブレータMM1及びMM2と、 $Np1$

$K T0$ を計数するプリセット型計数器PCT11と、端数時間($t1 - t2$)電圧をサンプルホールドするサンプルホールド回路SAH1と、サンプルされた端数時間電圧をデジタル信号に変換するアナログ-デジタル変換器(A/D変換器)AD1とから構成されている。これら構成要素の接続状態は図示の通りであるのでその説明を省略する。なお、第1～第4の各JKフリップフロップF11～F14のJ及びK端子と、D形フリップフロップF15のデータ端子Dとにそれぞれ供給されているHは高レベル信号を表す。

【0057】上記構成において、入力端子IN1には測定信号生成回路11から入力1の被測定エッジ信号が供給される。(第2の連続周期測定回路18の場合には入力端子IN1に測定信号生成回路11から入力2の被測定エッジ信号が供給されることになる。)以下の動作説明は第1の連続周期測定回路17の場合であるが、第2の連続周期測定回路18の場合も同様の動作を行うことは言うまでもない。

【0058】入力端子IN1に供給された入力1の被測定エッジ信号は第1のJKフリップフロップF11のトリガ(クロック)入力端子Tに入力され、第1番目のエッジ信号によってレベル反転したJKフリップフロップF11の出力Qが第1の端数時間-電圧変換器TV1に供給される。第1の端数時間-電圧変換器TV1はこのエッジ(例えば図3のE11)から2つ目の計数クロック迄の時間 $t1$ (図3参照)を算出してこれを電圧信号 $\Delta V1$ に変換する。また、JKフリップフロップF11の出力 \overline{Q} (Qの論理反転出力)は第2の端数時間-電圧変換器TV2に接続されており、次に入力する被測定エッジ信号(2番目のエッジ信号)によってレベル反転した出力 \overline{Q} がこの第2の端数時間-電圧変換器TV2に供給されると、第2の端数時間-電圧変換器TV2はこのエッジ(例えば図3のE12)から2つ目の計数クロック迄の時間 $t2$ (図3参照)を算出してこれを電圧信号 $\Delta V2$ に変換する。以下同様にして第1の端数時間-電圧変換器TV1は第3、第5、・・・の奇数番目のエッジから2つ目の計数クロック迄の時間に対応する電圧信号 $\Delta V2n-1$ を発生し、第2の端数時間-電圧変換器TV2は第4、第6、・・・の偶数番目のエッジから2つ目の計数クロック迄の時間に対応する電圧信号 $\Delta V2n$ を発生することになる。

【0059】これら電圧信号 $\Delta V2n-1$ 及び $\Delta V2n$ は切り替えスイッチSW11を介して引き算増幅器SA1に供給される。この切り替えスイッチSW11は連動動作する2つの切り替えスイッチよりなり、第1の切り替えスイッチの可動接点1cは引き算増幅器SA1の+側入力に接続され、その一方の固定接点1aは第1の端数時間-電圧変換器TV1の出力側に、他方の固定接点1bは第2の端数時間-電圧変換器TV2の出力側にそれぞれ接続され、また、第2の切り替えスイッチの可動接点2

cは引き算増幅器SA1の一側入力に接続され、その一方の固定接点2aは第2の端数時間-電圧変換器TV2の出力側に、他方の固定接点2bは第1の端数時間-電圧変換器TV1の出力側にそれぞれ接続されている。

【0060】引き算増幅器SA1における演算は、上述したように端数量($t_1 - t_2$)の電圧を求めるものであるから、始端側の電圧から終端側の電圧を減算する。従って、初期設定時に切り替えスイッチSW11の可動接点は図示する位置にあり、始めに($\Delta V_1 - \Delta V_2$)の引き算が行われる。なお、引き算増幅器SA1における演算は常に始端側の電圧から終端側の電圧を減算する演算であるが、次の引き算においては直前の終端側の電圧(ΔV_2)が始端側の電圧として利用できる、スイッチSW11を切り替えて第2の端数時間-電圧変換器TV2の出力(ΔV_2)から第1の端数時間-電圧変換器TV1の2番目の出力(ΔV_3)を引き算することになる($\Delta V_2 - \Delta V_3$)。その次の引き算は再びスイッチSW11を切り替えて第1の端数時間-電圧変換器TV1の2番目の出力(ΔV_3)から第2の端数時間-電圧変換器TV2の2番目の出力(ΔV_4)を引き算し($\Delta V_3 - \Delta V_4$)、以下交互にスイッチSW11を切り替えて引き算を行うことになる。

【0061】このようにして算出した端数量電圧($\Delta V_n - \Delta V_{n+1}$)をサンプルホールド回路SAH1でサンプルし、さらにA/D変換器AD1でこれをデジタル値に変換した端数量電圧のデジタル値 ΔV_{pk} を第1のバッファメモリ19へ出力する。また、時間 t_n の終りから時間 $t_{(n+1)}$ の終りまでに含まれる計数クロックの数 N_{pk} にこの計数クロックの周期 T_0 を掛け算したデータ $N_{pk} T_0$ はプリセット型計数器PCT11より第1のバッファメモリ19へ出力される。

【0062】一方、第2のワンショットマルチバイブレータMM2から発生される書き込みパルスは第1のバッファメモリ19に供給され、入力される測定データの書き込みを開始させる。よって、これら周期データより演算解析部30において上述したようにして被測定信号の周期を連続して測定することができる。次に、第1、第2のバッファメモリ19、20の一具体例を図15に示す。書き込みパルスが入力されたときに測定部10からのデータを連続的に漏れなく記憶するため、各バッファメモリ19、20はそれぞれ二重バッファとされ、同規模の2組のアドレスカウンタ(ACT1、ACT2)とRAM(RAM1、RAM2)が使用され、それらは交互に書き込み動作をする。また、一方のアドレスカウンタとRAMに書き込み動作を行っている間は、他方のアドレスカウンタとRAMは読み出される。必要に応じて書き込みよりも読み取りの速度を上げて、読み取り後、次にそのバッファメモリに対する書き込みが行われるまでの時間に必要な演算を行うことができるようにしてもよい。図15には第1のバッファメモリ19の一具体例

を示すが、第2のバッファメモリ20も同様の回路構成で良く、第1、第2の連続周期測定回路17、18からの書き込みデータ(周期データ) $N_{pk} T_0$ 、 $N_{p2K} T_0$ 及び ΔV_{pk} 、 ΔV_{p2K} はこれら連続周期測定回路17、18から書き込みパルスが供給されると、各バッファメモリ19、20のRAMに区別されて記憶される。なお、図15中、AG21~AG24はANDゲートを、OG21~OG24はORゲートを、F21及びF22はD形フリップフロップをそれぞれ示す。

【0063】上述したように、これらバッファメモリ19、20は、メモリアドレスがアドレスカウンタの最終値にきたら初期値へ戻る巡回型に構成され、演算解析部は測定値取得と平行してバッファメモリ19、10から測定値を読み出して、ユーザが設定する観測時間内における時間間隔値の最大値と最小値の算出を逐次行うようにする。

【0064】次に、周波数変換回路13及び逡倍回路14の一具体例を図16に示す。これらは一具体例として次の一般的な条件の場合の回路図である。

基準発振器出力周波数 : 10MHz

外部基準入力周波数 : 10MHz

計数クロック周波数 : 100MHz

基準位相出力周波数 : 2048KHz

逡倍回路14は基準発振器12の出力周波数をPLL(フェーズロックループ)によって計数クロック周波数に変換するものである。計数クロック周波数は市販の汎用デジタルIC(TTL、C-MOS、ECL等)で構成できるように100MHz程度とし、PLLを構成する電圧制御発振器(VCO)は位相雑音が低いクリスタル発振器を用いたもの(VCXO)を使用している。

【0065】逡倍回路14を構成するPLLは、通常のように、基準発振器12の出力周波数信号が入力される位相比較器101と、この位相比較器101からの出力信号をフィルタするループフィルタ102と、このループフィルタ102でフィルタされた信号の電圧によって発振周波数が制御されるVCXO103と、このVCXO103からの発振出力の周波数を1/10に分周する分周器104とからなり、この分周器104の分周出力が位相比較器101に入力され、基準発振器12からの出力信号の位相と比較される。分周器104で1/10に分周するのは基準発振器12の出力周波数が10MHzで、VCXO103の発振周波数が100MHzに設定されているからである。

【0066】なお、本例では基準発振器12からの出力信号は切り替えスイッチ105を介して逡倍回路14及び周波数変換回路13へ入力される。スイッチ105は基準発振器12からの出力信号と外部基準周波数信号(例えばUTCに同期したもの)とを切り替えるもので、基準発振器12の発振周波数と同じ周波数の外部基準信号が得られるときには基準発振器12の代わりにこ

の外部基準周波数信号を使用することができるようになっている。よって、この場合には基準発振器 12 を設けなくてもよい。

【0067】また、回路規模は若干大きくなるが、PLL を使わずにオーバードライブ回路とチューニング・フィルタにより逡倍回路 14 を構成してもよい。ただし、チューニング・フィルタは温度変化に強く、しかも Q が高いものを選定する。周波数変換回路 13 は基準発振器の出力周波数を PLL によってワンダ測定時に必要な基準位相信号に変換するものである。基準位相であるため、この周波数変換回路 13 を構成する PLL の電圧制御発振器 (VCO) も位相雑音が低い水晶発振器を用いた VCXO を使用している。周波数変換回路 13 を構成する PLL は、基準発振器 12 からの出力周波数又は外部基準周波数信号 (10MHz) を分周器 111 で $1/2500$ に分周し、4KHz の信号を位相比較器 112 に入力する点と、VCXO 114 から 2048KHz の周波数信号を発振させ、これを分周器 115 で $1/512$ に分周した 4KHz の信号を位相比較器 112 に入力する点を除くと、上記逡倍回路 14 の PLL と同じ構成及び動作であるので、その説明を省略する。なお、位相比較器 112 の出力信号はループフィルタ 113 でフィルタされて VCXO 114 に入力される。

【0068】この周波数変換回路 13 からの基準位相の周波数信号 (試験信号) は、上述したように切り替え回路 16 及びジッタ付加回路 15 に供給される。また、図示しない端子からジッタ無し試験信号出力として外部に取り出される。本例では 2048KHz の試験信号を示したが、試験信号としては主に 1544KHz と 2048KHz が用いられるので、1544KHz にする場合には設定値を変更すればよい。ユーザはその国によって必要ないずれか一方の試験周波数信号があればよいので、両方の周波数信号を発生させることは必ずしも必要でない。従って、実際は、この周波数変換回路 13 をオプションボードに載置すれば、ボード交換で簡単にユーザが試験周波数を変更することができる。

【0069】次に、ジッタ付加回路 15 の一具体例を図 17 に示す。このジッタ付加回路 15 は、例えば各種の装置や伝送路等で発生するジッタ、或いは ITU-TS で許容されている範囲内のジッタを人工的に発生させるもので、ユーザが設定できる任意の波形や周波数のジッタを周波数変換回路 13 からの基準位相の試験信号に付加して外部へ出力する。ジッタ付加回路 15 は、ジッタを付加すべき基準位相の試験信号 PA (デジタル信号) をリタイミングするリタイミングフリップフロップ RF1 と、基準位相の試験信号からクロック信号 PB を作るためにこれを 2 倍する逡倍器 MP10 と、この逡倍器 MP10 の出力信号を反転するインバータ INV10 と、このインバータ INV10 の反転出力を遅延する遅延回路 DL11 と、遅延されたクロック信号を 2^n 倍す

る 2^n 逡倍器 MP11 と、n ビットのバイナリカウンタ BCT1 と、m ビットのアдресカウンタ ADT1 と、RAM と、マイクロコンピュータ MC1 と、AND ゲート AG31 及び AG32 と、排他的 OR ゲート EG1、EG2、...EGn とから構成され、AND ゲート AG32 と排他的 OR ゲート EG1、EG2、...EGn とにより一致検出回路を構成している。

【0070】ジッタ付加回路 15 は、周波数変換回路 13 からの基準位相の試験信号を、ジッタを付加すべきデジタル信号 PA として、リタイミングフリップフロップ RF1 のデータ端子 D に入力し、一方、基準位相の試験信号を逡倍器 MP10 に与えて 2 倍し、さらにインバータ INV10 で反転して外部クロック信号 PB を生成し、このクロック信号 PB から、マイクロコンピュータ MC1 の制御の下で、 2^n 逡倍器 MP11、n ビットのバイナリカウンタ BCT1、m ビットのアдресカウンタ ADT1、RAM、AND ゲート AG31 及び AG32、排他的 OR ゲート EG1、EG2、...EGn によって上記デジタル信号 PA をリタイミングするトリガ信号を作り、これを AND AG31 からリタイミングフリップフロップ RF1 のトリガ端子 T に与え、リタイミングフリップフロップ RF1 の出力端子 Q からジッタが付加されたデジタル信号 PJ (試験信号) を出力するものである。

【0071】このジッタ付加回路 15 からのジッタ付加試験信号 PJ を、例えばジッタ除去回路等の被試験装置、或いは交換機や伝送装置内のネットワーククロック供給装置等の被試験装置に入力し、それらの出力信号を被測定信号として本解析装置に入力することによって、被試験装置のジッタ抑圧効果やジッタ耐力の解析、不要ジッタ出力のチェック等を行うことができる。

【0072】なお、上記ジッタ付加回路 15 の詳細な動作説明は本出願人が出願した特願平 3-188723 号「ジッタ付加装置」に記載されているので、ここでは図 17 における定数 m 及び n をそれぞれ 3 とした場合の各部の波形 (1) ~ (10) を図 18 に示し、その説明を省略する。また、上記実施例はこの発明の単なる例示に過ぎず、従って、その構成や回路接続、使用する素子等は必要に応じて種々に変更及び変形できることは言うまでもない。

【0073】

【発明の効果】以上説明したように、この発明によれば、2 系統の連続周期測定回路にパルス状の被測定信号の立ち上がりエッジ又は立ち下がりエッジを入力してその周期を連続的に測定することができ、また、解析手段が、算出された各々の測定値の経過時間に対する変化量を高速フーリエ変換して解析する手段を有するので、高速フーリエ変換した結果から 2 つの被測定信号のジッタ周波数スペクトラムを同時に、しかも高精度に求めることができるという効果がある。

【0074】また、測定量演算手段で各々の周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、この時間間隔値の経過時間に対する変化量を高速フーリエ変換して解析することにより、相対的なジッタ周波数スペクトラムを高精度に求めることができるという効果がある。また、分周手段により被測定信号を適当な周波数まで分周し、その分周周期を連続周期測定回路で測定することによって全体の測定時間を長くすることができるから、前記解析手段により、算出された測定値の経過時間に対する変化量を高速フーリエ変換して解析することにより、被測定信号の比較的低いジッタ周波数スペクトラムを高精度に求めることができるという効果がある。

【0075】また、分周手段により被測定信号と基準位相の所定の周波数の試験信号とをそれらの周波数が一致する適当な周波数までそれぞれ分周し、各々の分周信号の周期を連続周期測定回路でそれぞれ測定し、測定量演算手段で各々の分周周期測定値より両信号間の時間間隔値を算出し、前記解析手段により、この両信号間の時間間隔値よりその最大値と最小値をそれぞれ算出するとともに、それらから複数の観測時間におけるMTIEや長期周波数偏差を同時に算出することにより、長期的位相変動であるワンダを効率よく解析することができるという効果がある。

【0076】また、基準位相の所定の周波数の試験信号にジッタを付加して、このジッタ付加試験信号を外部へ出力するジッタ付加手段を設けることにより、このジッタ付加手段からユーザが設定できる任意の波形や周波数のジッタ付加試験信号を外部の被試験装置に出力することができるから、該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のジッタ抑圧効果やジッタ耐力を高精度に解析できるという効果がある。

【0077】さらに、基準位相の所定の周波数の試験信号を外部へ出力するための端子を設け、この端子よりジッタのない純粋な試験信号を外部の被試験装置に出力して該被試験装置からの出力信号を被測定信号として入力することにより、該被試験装置のみで発生するジッタを高精度に解析できるという効果もある。従って、この発明によれば、低周波から高周波までの連続的なジッタ周波数成分解析を高精度に行うことができ、また、低周波ジッタの解析も十分に行え、さらに、ワンダに関してもITU-TSで勧告しているMTIEによるワンダを重要視されている50m秒から10⁷秒までの観測期間にわたって高精度に、効率よく測定することができる。

【図面の簡単な説明】

【図1】この発明によるジッタ／ワンダ解析装置の一実施例の全体構成を示すブロック図である。

【図2】図1のジッタ／ワンダ解析装置により外部の被試験装置のジッタ／ワンダを測定、解析する場合の一例

を示す構成図である。

【図3】図1のジッタ／ワンダ解析装置の連続周期測定回路での連続周期測定動作を説明するための波形図である。

【図4】図1のジッタ／ワンダ解析装置において2つの連続周期測定回路の測定開始時刻を合わせる方法を説明するためのタイムチャートである。

【図5】図1のジッタ／ワンダ解析装置において入力パルスの周期を測定する場合の動作を説明するためのタイムチャートである。

【図6】図1のジッタ／ワンダ解析装置において2つの入力パルス間の時間間隔を測定する場合の動作を説明するためのタイムチャートである。

【図7】度数分布表示により算出したデータの解析を行う一例を示す図である。

【図8】時間変化表示により算出したデータの解析を行う一例を示す図である。

【図9】MTIEを算出する動作を説明するための図である。

【図10】Aはパルス幅の時間経過を示す図、Bは直線補間を説明するための図、Cはパルス幅ジッタの周波数スペクトラムの例を示す図である。

【図11】図1のジッタ／ワンダ解析装置に使用された測定信号生成回路、分周器及び切り替え回路の一具体例を示す回路図である。

【図12】図11の測定信号生成回路の各部における信号波形を示すタイムチャートである。

【図13】入力パルスのデューティ比が100%近い場合の連続周期測定回路での測定値とバッファメモリに記憶される内容との関係を示す図である。

【図14】図1のジッタ／ワンダ解析装置に使用された連続周期測定回路の一具体例を示す回路図である。

【図15】図1のジッタ／ワンダ解析装置に使用されたバッファメモリの一具体例を示す回路図である。

【図16】図1のジッタ／ワンダ解析装置に使用された周波数変換回路及び通倍回路の一具体例を示す回路図である。

【図17】図1のジッタ／ワンダ解析装置に使用されたジッタ付加回路の一具体例を示す回路図である。

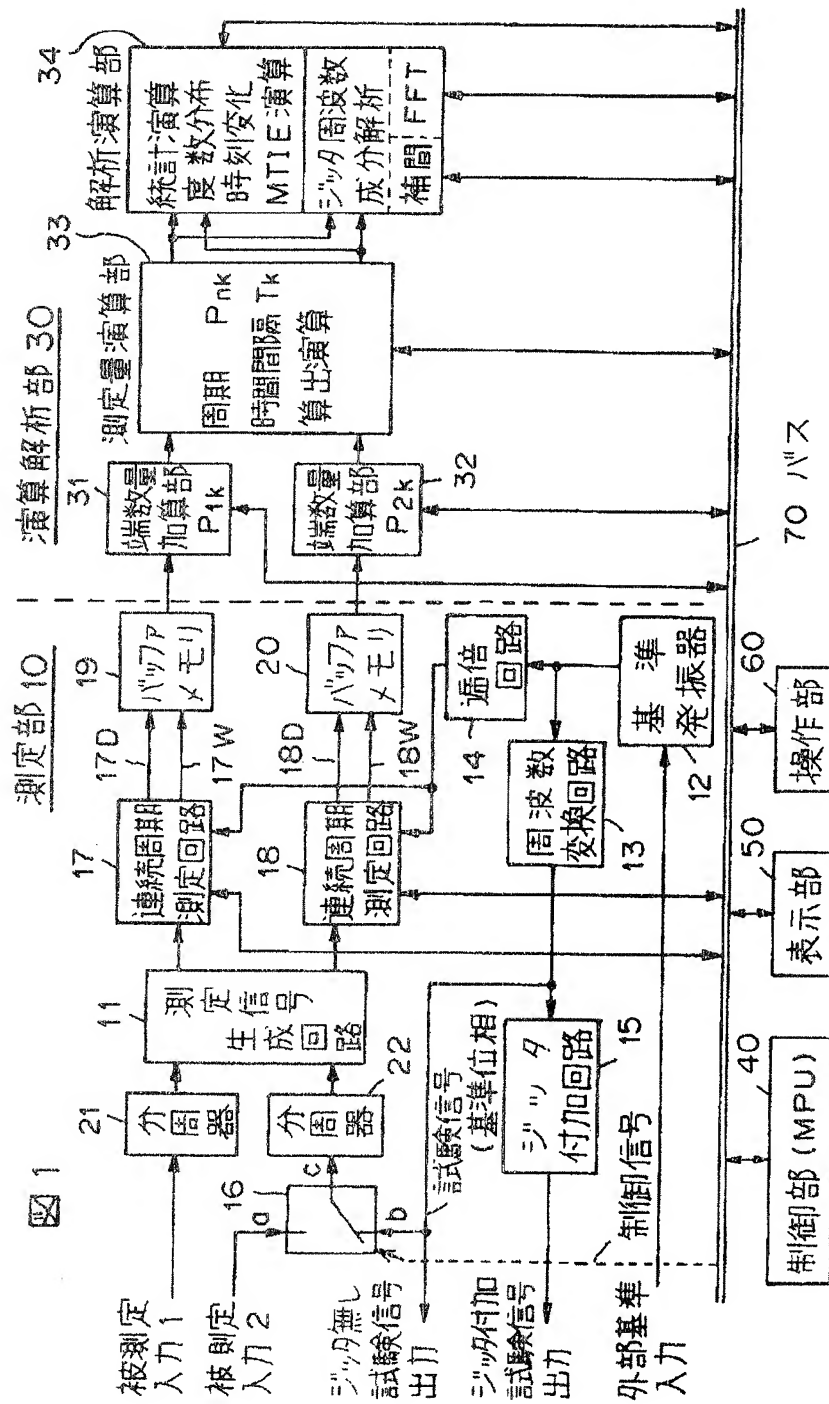
【図18】図17のジッタ付加回路の各部における信号波形を示すタイムチャートである。

【符号の説明】

10	測定部
11	測定信号生成回路
12	基準発振器
13	周波数変換回路
14	通倍回路
15	ジッタ付加回路
16	切り替え回路
17、18	連続周期測定回路

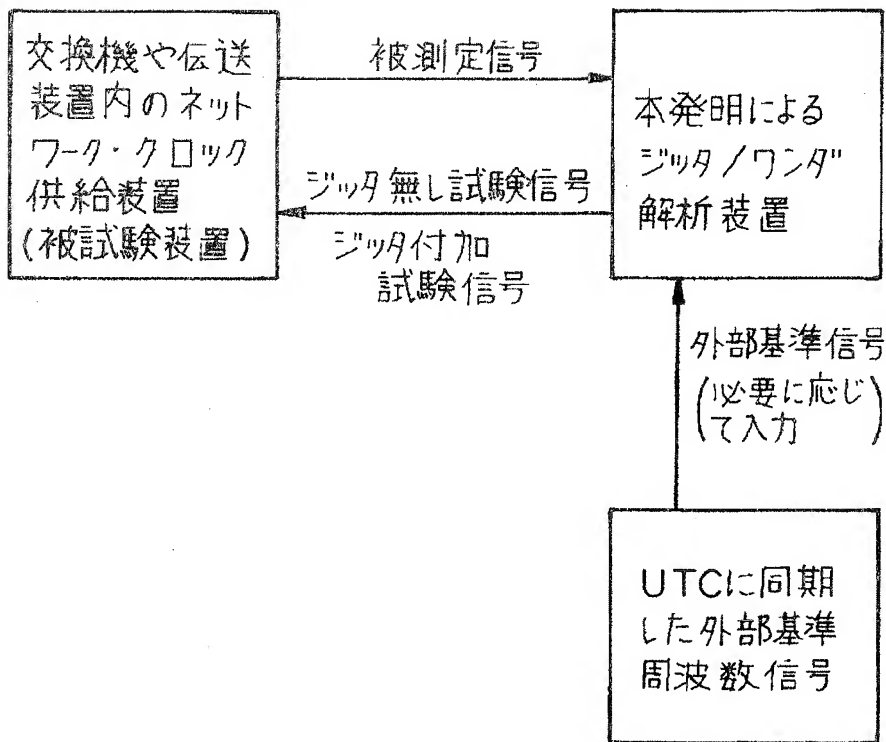
19、20	バッファメモリ	34	解析演算部
21、22	分周器	40	制御部
30	演算解析部	50	表示部
31、32	端数量加算部	60	操作部
33	測定量演算部	70	バス

【図1】



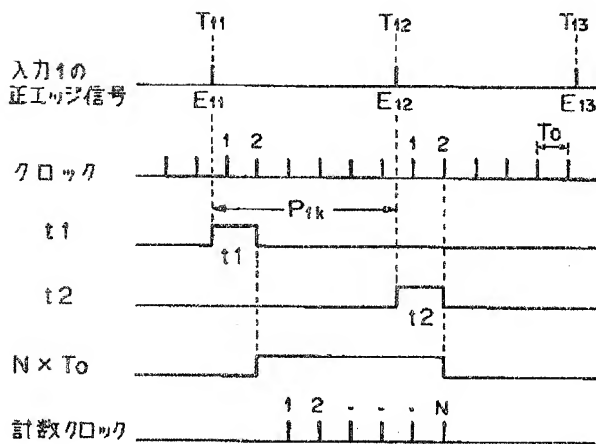
【図2】

図 2



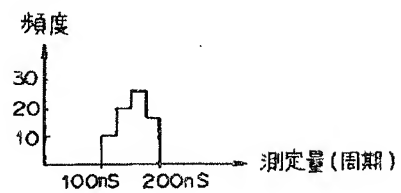
【図3】

図 3



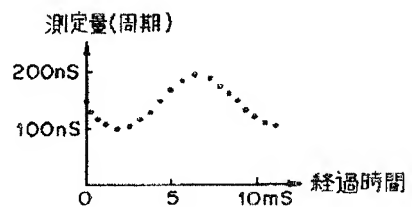
【図7】

図 7

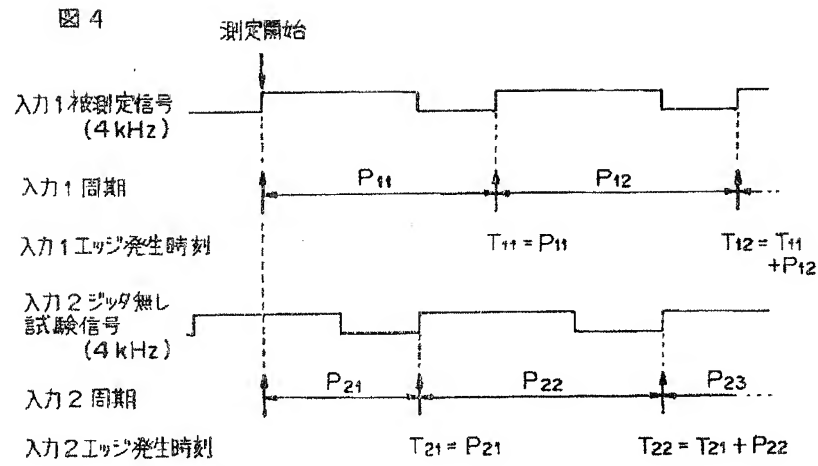


【図8】

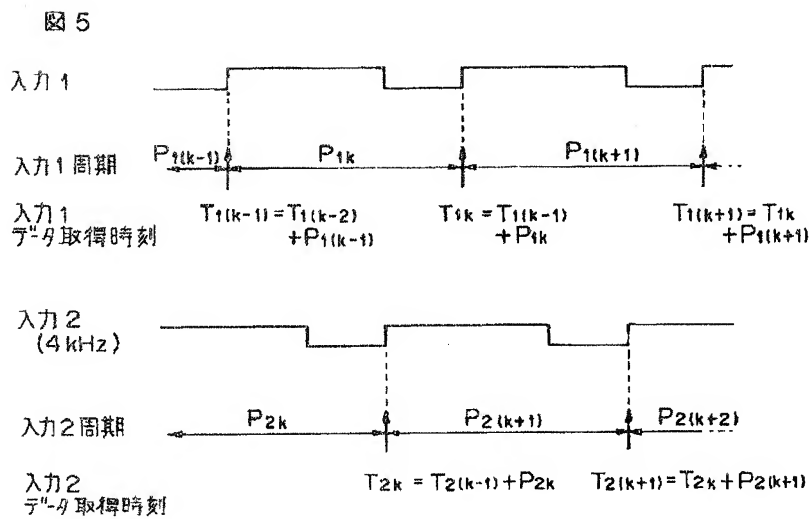
図 8



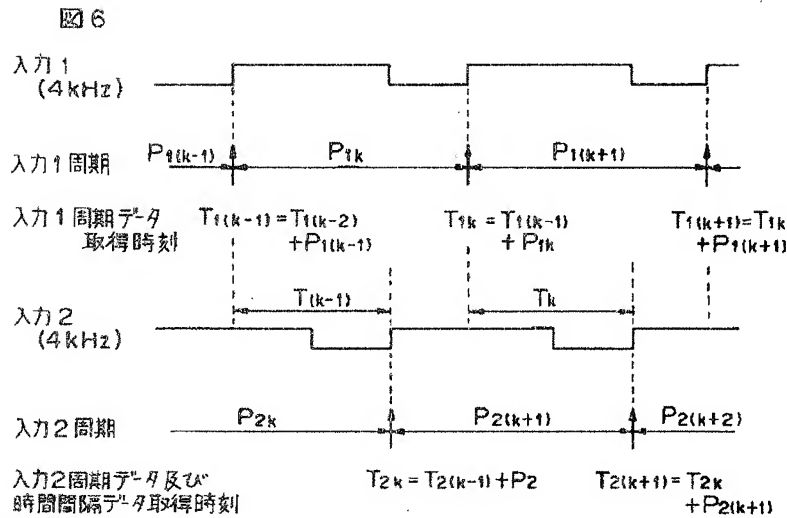
【図 4】



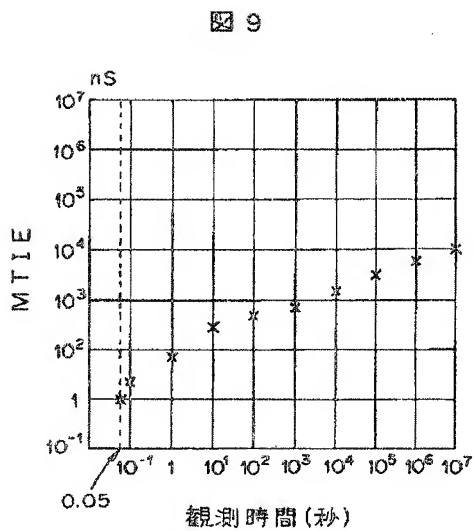
【図 5】



【図6】

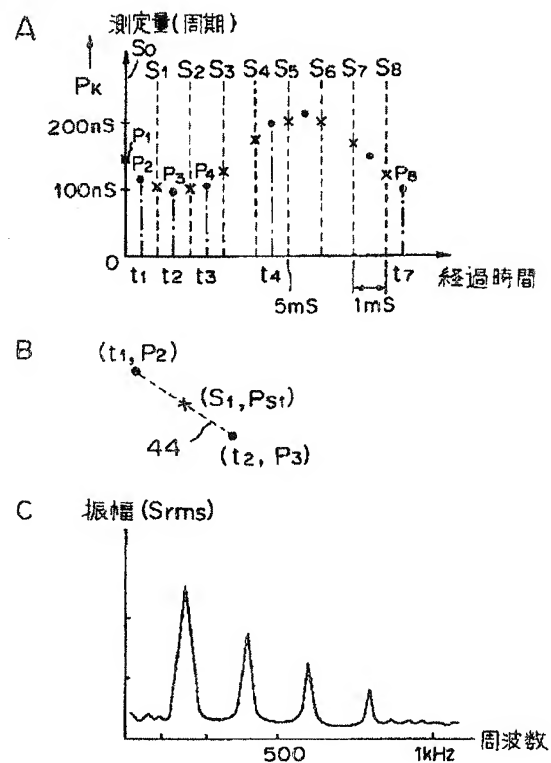


【図9】

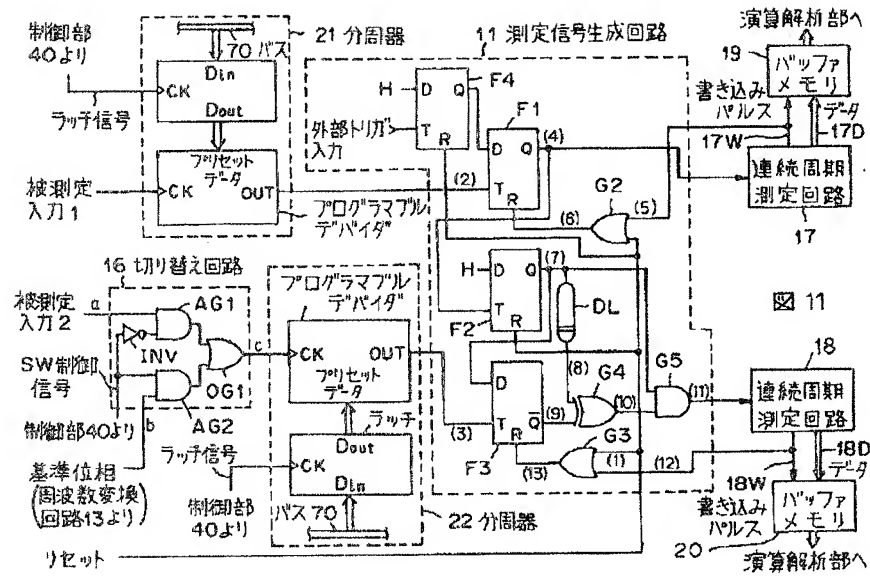


【図10】

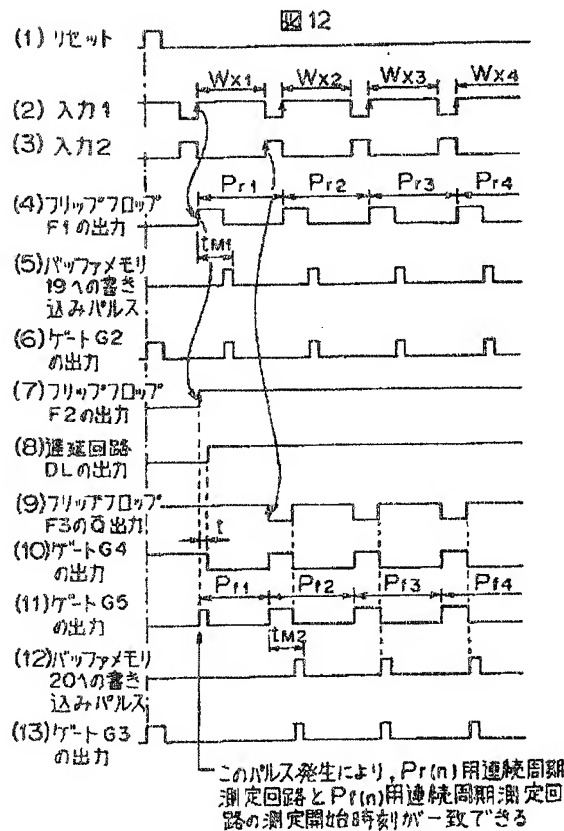
図10



【図 11】



【図 12】



13 パルス幅のデューティ比が100%に近い場合

測定波形入力信号

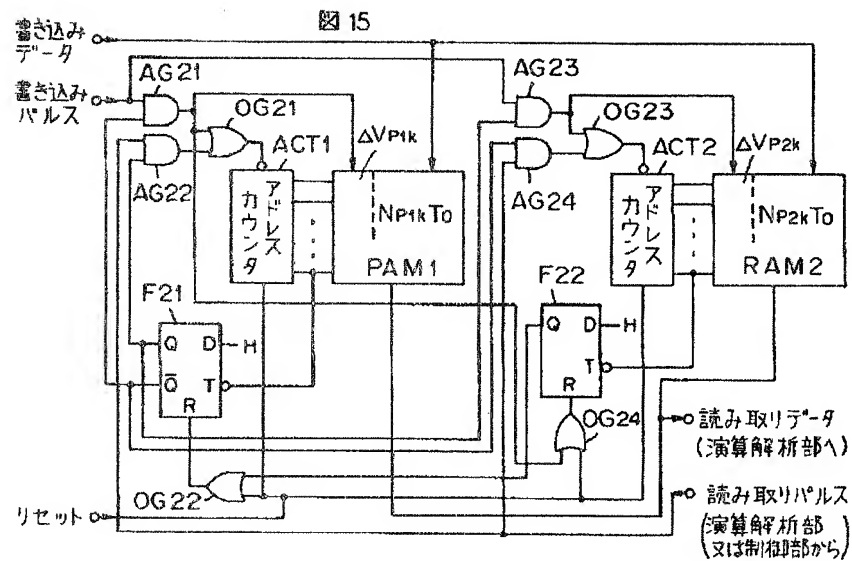
連続周期測定回路18の測定値

連続周期測定回路17の測定値

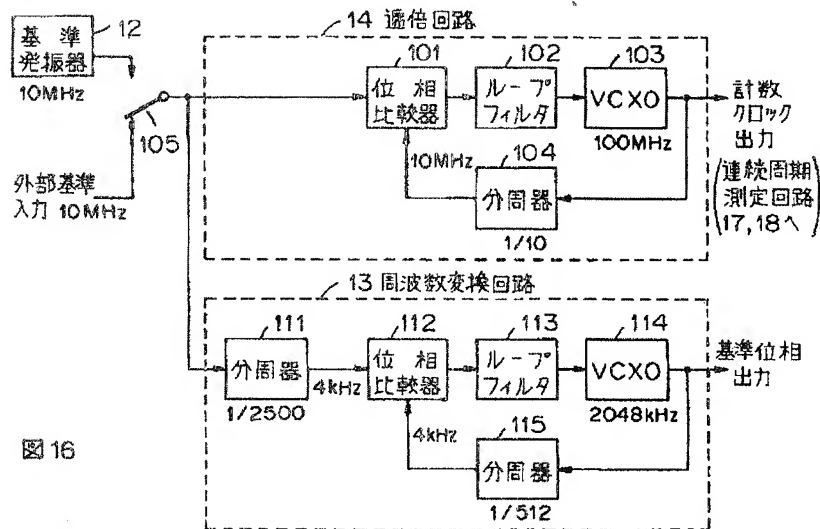
	メモリ20の内容	メモリ19の内容
アドレス 0	P ₁₁	X
1	P ₁₂	P ₁₁
2	P ₁₃	P ₁₂
3	P ₁₄	P ₁₃
⋮	⋮	⋮

図 14

【図 15】



【図 16】



基準位相の試験信号 (周波数変換回路13より)

PA (ジッタを付加すべきデジタル信号)

RF1 リタiming フリップフロップ

D Q (1) (10)

T (ジッタが付加されたデジタル信号)

PJ

AG31

MP10

x2

INV10

PB (クロック信号)

DL11

MP11 (逓倍器)

2ⁿ

(3)

一致検出回路

AG32

EG1

EG2

EGn

Do

D1

...

Dn-1

(6)

RAM

Ao

A1

...

Am-1

(5)

MC1

マイクロコンピュータ

リセット

(7)

2⁰

2¹

...

2ⁿ⁻¹

(4)

BCT1

R

C

2⁰

2¹

...

2^{m-1}

ADT1

R

CY

(nビット・バイナリ・カウンタ)

(mビット・アドレス・カウンタ)

図 17

[illegible]